

US

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月 8日

出 願 番 号

Application Number:

特願2000-134761

出 願 人

Applicant (s):

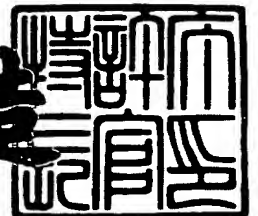
日本電気株式会社

jc997 U.S. PTO
09/850254
05/07/01

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3014117

【書類名】 特許願

【整理番号】 74410401

【提出日】 平成12年 5月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00
H01L 27/00

【発明の名称】 半導体装置とその製造方法

【請求項の数】 10

【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 木本 寿充

【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】
【識別番号】 100108578
【弁理士】
【氏名又は名称】 高橋 詔男

【代理人】
【識別番号】 100064908
【弁理士】
【氏名又は名称】 志賀 正武

【選任した代理人】
【識別番号】 100101465
【弁理士】
【氏名又は名称】 青山 正和

【選任した代理人】
【識別番号】 100108453
【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板表面に形成された拡散層と電極とが、複数の配線層による多層配線により、各々相互に配線された半導体装置において、

所定の配線層の配線が、横方向のみの配線が行われる第 1 の配線領域と、縦方向のみの配線が行われる第 2 の配線領域とに分離されて形成されていることを特徴とする半導体装置。

【請求項 2】 前記所定の配線層による配線が、この所定の配線層に比較して高シート抵抗の配線層による配線と接続されて平行に用いられることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 複数の半導体素子から構成された機能単位のブロックを、複数の配線層による多層配線により、各々配線して形成される半導体装置において

上記ブロックの内部の半導体素子の配線が、所定の配線層により横方向のみの配線が行われる第 1 の配線領域と、縦方向のみの配線が行われる第 2 の配線領域とに分離されて形成されていることを特徴とする半導体装置。

【請求項 4】 前記所定の配線層による配線が、この配線層に比較して前記ブロック内のこの所定の配線層に比較して高シート抵抗の配線層による配線と接続されて平行に用いられることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 複数の配線層による多層配線により、半導体基板上の拡散層と電極とが各々相互に配線され、半導体装置を製造する方法において、

半導体基板表面に半導体素子の拡散層を形成する工程と、

第 1 の層間絶縁膜を形成する工程と、

第 1 の配線層により前記拡散層の電極を形成する工程と、

第 2 の層間絶縁膜を形成する工程と、

横方向のみの配線が行われる第 1 の配線領域と、縦方向のみの配線が行われる第 2 の配線領域とに分離されて形成される第 2 の配線層の配線により、前記第 1 の配線層による電極を相互に配線し、半導体素子の形成及びこの半導体素子の相

互の接続を行う工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記第 2 の配線層のシート抵抗が前記第 1 の配線層のシート抵抗と比較して小さいことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記第 2 の配線層の配線が、前記第 1 の配線層の配線と接続されて平行に用いられることを特徴とする請求項 5 または請求項 6 記載の半導体装置の製造方法。

【請求項 8】 半導体基板上に複数の半導体素子から構成された機能単位のブロックを、複数の配線層による多層配線により、各々相互に配線して半導体装置を製造する方法において、

半導体基板表面に半導体素子の拡散層を形成する工程と、

第 1 の層間絶縁膜を形成する工程と、

第 1 の配線層により前記拡散層の電極を形成する工程と、

第 2 の層間絶縁膜を形成する工程と、

上記ブロック単位毎に、横方向のみの配線が行われる第 1 の配線領域と、縦方向のみの配線が行われる第 2 の配線領域とに分離されて形成される第 2 の配線層の配線により、前記第 1 の配線層により形成された電極を相互に配線し、半導体素子の形成及びこの半導体素子の相互の接続を行う工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 9】 前記第 2 の配線層のシート抵抗が前記第 1 の配線層のシート抵抗と比較して小さいことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記第 2 の配線層の配線が、前記第 1 の配線層の配線と接続されて平行に配線して用いられることを特徴とする請求項 8 または請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の内部配線に関し、特に複数の配線層による多層配線を用いて形成された半導体装置及びその製造方法に係わるものである。

【 0 0 0 2 】

【従来の技術】

近年、半導体装置の機能を向上させるため、チップ上に形成される半導体素子の微細化が精力的に行われている。

そして、高集積化された半導体装置においては、チップ上での配線部分の占める面積が増大しており、特にメモリ、ゲート・アレイ等のデバイスにおいてこの傾向が顕著となっている。

【 0 0 0 3 】

すなわち、半導体装置集積回路の素子の微細化が進展されるのに伴ないMOS FETのオン抵抗が減少してゲート回路自体の動作速度は向上するが、ゲート回路間を相互接続する配線も細幅化されてきている。

このため、CR（容量-抵抗）時定数に起因する配線遅延が素子の微細化とともに増大している。これは配線が微細になるにつれて、単位長さ当たりの配線抵抗が増大する上に、微細化とともに集積回路に搭載されるゲート回路数が増大し、これらを接続する相互配線のレイアウトが複雑となって配線長を短縮することが困難になってきたことによる。

【 0 0 0 4 】

このような半導体装置では、配線間隔の縮小のみでチップ面積の縮小化を図ることにはもはや限界があり、絶縁膜を介しながら配線を上下方向に幾層にも積み上げる多層配線の採用により問題の解決を図っている。

したがって、この微細化された半導体素子の形成及び相互配線を効果的に行うため、複数の配線層による多層配線プロセスが用いられている。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、半導体装置には、製造プロセスから、多層配線における複数の配線層の何れかの配線層において、シート抵抗（ Ω/\square ）の高い配線層が使用される場合がある。

例えば、拡散層の電極及び配線を形成する第1の配線層に、シート抵抗が高い高融点金属（TiN/Ti，TiN，Ti，TiW，W等）を配線材料として用

いる場合がある。

ここで、Tiはチタンであり、TiNはチタンナイトライドであり、Wはタングステンである。

【0006】

第1配線層に高融点材料を使用する理由としては、例えば、メモリセルを作る工程が挙げられる。メモリセルのビット線としての第1の配線層を形成した後、メモリセルの電荷蓄積を行うキャパシタを形成するとき高温処理を行うため、第1の配線層の材料をこの熱履歴に耐える材料として、高融点金属が用いられる。キャパシタを含めたメモリセルを作成した後に、第1の配線層を形成する手法もあるが、ビット線の容量増加などの問題があるため、上述の方法が多く用いられている。

【0007】

例えば、3層配線で配線され、上述の製造プロセスにより形成されたメモリを内蔵した半導体装置において、周辺回路の配線を形成しようとした場合、この配線に第1の配線層を用いると、高抵抗のために半導体装置の動作速度などの特性が悪化する。

【0008】

このため、図5の従来例1に示すように、機能ブロック内の素子を形成するための縦方向の配線には第2の配線層を用い、横方向の配線には第3の配線層が用いることが考えられる。図5は、従来例1による半導体装置の機能ブロックの、多層配線として3層配線の構成例を示す半導体装置表面の概念図である。

ここで、第1の配線層の材料は高融点金属であり、第2及び第3の配線層の材料はアルミニウムであり、高融点金属とアルミニウムとは薄膜として2桁程度のシート抵抗の違いがある。

【0009】

しかしながら、格子状にブロックが並べられ形成される半導体装置において、横方向の配線に第2の配線層を用いることが出来ないため、第3の配線層を他の横方向のブロックとの接続に用いる必要がある。

このとき、第3の配線層は、ブロックの内部配線にも使用されているため、中

央の領域 1 0 0 に、ブロック相互の接続のための、配線を形成する事が出来ない。

【 0 0 1 0 】

このため、縦方向におけるブロックとブロックとの間に、ブロック間の接続を行う第 3 の配線層による配線を形成する領域が必要となる。

この結果、従来例による図 5 における配線方法には、余分な配線領域のため、半導体装置のチップサイズが大きくなってしまい、生産効率が低下するという問題が生じる。

【 0 0 1 1 】

そして、上述したチップサイズの増大を防止するため、図 6 の従来例 2 に示すブロック内の素子の配線の 1 部、例えば近距離の縦方向の配線に第 1 の配線層を用い、素子と素子とを接続するような距離のある配線に第 2 の配線を用いる配線方法が考えられる。図 6 は、従来例 2 による半導体装置の機能ブロックの、多層配線として 3 層配線の構成例を示す半導体装置表面の概念図である。

しかしながら、近距離と言えども、第 1 の配線層を用いて素子同士の配線を行う部分には、高抵抗の配線が存在すると、ブロックの機能の特性（動作スピードなど）に悪影響が生じる場合がある。

【 0 0 1 2 】

本発明はこのような背景の下になされたもので、チップサイズを増大させることなく、機能ブロックの動作特性に悪影響を与えない、機能ブロック内の配線が可能な半導体装置及びその製造方法を提供する事にある。

【 0 0 1 3 】

【課題を解決するための手段】

請求項 1 記載の発明は、半導体基板表面に形成された拡散層と電極とが、複数の配線層による多層配線により、各々相互に配線された半導体装置において、所定の配線層の配線が、横方向のみの配線が行われる第 1 の配線領域と、縦方向のみの配線が行われる第 2 の配線領域とに分離されて形成されていることを特徴とする。

【 0 0 1 4 】

請求項 2 記載の発明は、請求項 1 記載の半導体装置において、前記所定の配線層による配線が、この所定の配線層に比較して高シート抵抗の配線層による配線と接続されて平行に用いられることを特徴とする。

【 0 0 1 5 】

請求項 3 記載の発明は、複数の半導体素子から構成された機能単位のブロックを、複数の配線層による多層配線により、各々配線して形成される半導体装置において、上記ブロックの内部の半導体素子の配線が、所定の配線層により横方向のみの配線が行われる第 1 の配線領域と、縦方向のみの配線が行われる第 2 の配線領域とに分離されて形成されていることを特徴とする。

【 0 0 1 6 】

請求項 4 記載の発明は、請求項 3 記載の半導体装置において、前記所定の配線層による配線が、前記ブロック内のこの所定の配線層に比較して高シート抵抗の配線層による配線と接続されて平行に用いられることを特徴とする。

【 0 0 1 7 】

請求項 5 記載の発明は、複数の配線層による多層配線により、半導体基板上の拡散層と電極とが各々相互に配線し、半導体装置を製造する方法において、半導体基板表面に半導体素子の拡散層を形成する工程と、第 1 の層間絶縁膜を形成する工程と、第 1 の配線層により前記拡散層の電極を形成する工程と、第 2 の層間絶縁膜を形成する工程と、横方向のみの配線が行われる第 1 の配線領域と、縦方向のみの配線が行われる第 2 の配線領域とに分離されて形成される第 2 の配線層の配線により、前記第 1 の配線層による電極を相互に配線し、半導体素子の形成及びこの半導体素子の相互の接続を行う工程とを有することを特徴とする。

【 0 0 1 8 】

請求項 6 記載の発明は、請求項 5 記載の半導体装置の製造方法において、前記第 2 の配線層のシート抵抗が前記第 1 の配線層のシート抵抗と比較して小さいことを特徴とする。

【 0 0 1 9 】

請求項 7 記載の発明は、請求項 5 または請求項 6 記載の半導体装置の製造方法において、前記第 2 の配線層の配線が、前記第 1 の配線層の配線と接続されて平

行に配線して用いられることを特徴とする。

【 0 0 2 0 】

請求項 8 記載の発明は、半導体基板上に複数の半導体素子から構成された機能単位のブロックを、複数の配線層による多層配線により、各々相互に配線して半導体装置を製造する方法において、半導体基板表面に半導体素子の拡散層を形成する工程と、第 1 の層間絶縁膜を形成する工程と、第 1 の配線層により前記拡散層の電極を形成する工程と、第 2 の層間絶縁膜を形成する工程と、上記ブロック単位毎に、横方向のみの配線が行われる第 1 の配線領域と、縦方向のみの配線が行われる第 2 の配線領域とに分離されて形成される第 2 の配線層の配線により、前記第 1 の配線層により形成された電極を相互に配線し、半導体素子の形成及びこの半導体素子の相互の接続を行う工程とを有することを特徴とする。

【 0 0 2 1 】

請求項 9 記載の発明は、請求項 8 記載の半導体装置の製造方法において、前記第 2 の配線層のシート抵抗が前記第 1 の配線層のシート抵抗と比較して小さいことを特徴とする。

【 0 0 2 2 】

請求項 1 0 記載の発明は、請求項 8 または請求項 9 記載の半導体装置の製造方法において、前記第 2 の配線層の配線が、前記第 1 の配線層の配線と接続されて平行に配線して用いられることを特徴とする。

【 0 0 2 3 】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態について説明する。図 1 は本発明の一実施形態による半導体装置の機能ブロック B K の、多層配線として 3 層配線の構成例を示す半導体装置表面の概念図である。

この半導体装置は、図示しない部分に D R A M（ダイナミック・ランダム・アクセス・メモリ）が形成されており、論理回路部分が複数の機能ブロックを配線により接続することで構成されている。ここで、各機能ブロックは、複数の M O S F E T（金属-酸化膜-半導体構造の電界効果トランジスタ）等の素子により構成されている。

【0024】

この図において、1はMOSFETのゲート電極であり、2はMOSFETのソースまたはドレインを形成する拡散層である。M1は第1の配線層であり、M2は第2の配線層であり、M3は第3の配線層である。ここで、配線層M1の配線材料は、第2及び第3の配線層に比較して、シート抵抗が高い高融点金属（TiN/Ti, TiN, Ti, TiW, W等）が用いられている。

一方、配線層M2及び配線層M3の配線材料は、上記高融点金属に対して、例えばシート抵抗が2桁程度低いアルミニウム等が用いられる。

【0025】

例えば、膜厚にもよるが、一般的には、アルミニウムのシート抵抗の値は「数十 $m\Omega/\square$ 」であり、高融点金属のシート抵抗の値は「数 Ω/\square 」である。

ここで、本発明の一実施形態においては、配線層M2の機能ブロック内における配線領域を、配線層M2を横方向にのみ配線するM2横トラックの配線領域と、配線層M2を縦方向にのみ配線するM2縦トラックの配線領域とに分割している。

【0026】

例えば、pチャネル型のMOSFETであるトランジスタTR1のドレインと、nチャネル型のMOSFETであるトランジスタTR2のドレインとを接続して、電流量の大きな第1のバッファを形成するとき、M2縦トラックにおいて、縦方向の配線層M2の配線パターンにより、トランジスタTR1及びトランジスタTR2の各々のドレイン、すなわち拡散層2を接続する。

【0027】

このとき、配線層M2に対しては、配線層M1が平行に配線されていて、所定の部分でビアホールにより接続されている（図2）。特に、拡散層2と配線層M2とを接続する場合には、後に述べるが配線層M1を介して行うため、拡散層2の領域においては、必ず広い面積で配線層M1と配線層M2とがビアホールで接続されている。

このように、低シート抵抗の配線層2を用いてバッファが形成されるため、電流量を確保して、機能ブロックの動作スピードを向上させ、必要な動作特性が従

来の構成より小さなチップサイズで得ることができる。

【0028】

また、pチャネル型のMOSFETであるトランジスタTR3のドレインと、nチャネル型のMOSFETであるトランジスタTR4のドレインとを、縦方向の配線層M2の配線パターンにより接続して第2のバッファを構成し、この第2のバッファを上記第1のバッファと接続することでより大きなバッファを構成するとき、M2横トラックにおいて、横方向の配線層M2の配線パターンにより、第1のバッファ及び第2のバッファを接続する。

【0029】

また、pチャネル型のMOSFETであるトランジスタTR5のドレインと、nチャネル型のMOSFETであるトランジスタTR6のドレインとを、接続してインバータを形成するとき、配線層M2で配線しようとした場合、配線層M2の縦方向の配線と配線層M2の横方向の配線とがM2横トラックにおいてぶつかる。

【0030】

このため、図1において、トランジスタTR5のドレインと、トランジスタTR6のドレインとを配線層M1のみで配線する。

しかしながら、このように配線層M1のみで配線せざるを得ない場所には、電流量の少なくともかまわない、すなわち、動作速度を必要としない配線層M1のみで配線しても良い回路を予め配置するように、素子の配置のレイアウト設計を行う。

【0031】

また、pチャネル型のMOSFETであるトランジスタTR7のドレイン（拡散層2）と、nチャネル型のMOSFETであるトランジスタTR8のドレイン（拡散層）とを、接続して必要な電流量を供給するバッファを形成するとき、縦方向の配線がM2横トラックにかかる場合も、このM2横トラックにかかる部分B1及び部分B2を配線層M1のみで配線する。

このとき、トランジスタTR7とトランジスタTR8との拡散層2を接続する部分は、配線層M2の縦方向の配線パターンにより接続されているため、高シ-

ト抵抗の配線により電流量が大きく制限されることがない。

【 0 0 3 2 】

また、上述したように配線層M1を有効に用いて配線することで、図3に示すように、横方向に並べられた複数のブロック内の信号端子を、横方法において順次接続するために、配線層M2を用いることができる。図3は、機能ブロックを横方向に並べて、配線層M2及び配線層M3の隣接する機能ブロックとの関係を示す概念図である。

これにより、横方向の機能ブロックの信号端子の接続を行う配線層M3の代わりに、配線層M3を用いることができ、この配線層M3を形成する領域の寸法分、半導体装置のチップサイズを縮小することが出来る。

【 0 0 3 3 】

このように配線することで、第1のバッファと第2のバッファの配線全てが、配線層M2で行われるため、必要な電流量満足するバッファを形成することができる。ここで、何れかの配線が高シート抵抗の配線材料の配線層M1のみで行われたとすると、配線層M1の配線パターンの抵抗により電流量が大きく制限されて、必要な電流量が得られない場合がある。

ここで、拡散層2と配線層M2との間は、図2で示すように配線層M1を介して接続されている。この構造については、後の半導体装置の製造方法において詳細に説明する。

【 0 0 3 4 】

上述してきたように、M2横トラックの領域においては、配線層M2が横方向のみの配線として用いられ、M2縦トラックの領域においては、配線層M2が縦方向のみの配線として用いられている。

一方、配線層M3は、低抵抗な配線として、機能ブロックBK内部の素子(MOSFET)等を接続するためのローカルな配線として用いられずに、横方向の各機能ブロックにおける信号端子を、順次必要な端子同士を接続するためにのみ用いられている。

【 0 0 3 5 】

このため、本願発明の半導体装置においては、配線層M3を機能ブロックBK

上のどの領域にも形成することができ、機能ブロックと機能ブロックとの間に設ける配線領域の幅が、従来例に比較して狭くすることが可能となる。

これにより、本願発明においては、半導体装置のチップサイズを従来例に比較して縮小することができ、1ウエハにおけるチップ数を増加させるため、半導体装置の生産効率を向上させることが可能となる。

また、本発明の半導体装置によれば、機能ブロックBKなどの各機能ブロック内の電流量が必要な回路部分の配線を、高抵抗な配線層M1を用いずに行っているため、必要な動作特性を得ることが可能となる。

【0036】

次に、上述した配線層M1～配線層M3の位置関係を図2を参照して説明する。図2は、図1における線分A-Aにおける線視断面図である。この断面図を用いて、半導体装置の製造過程の説明を行う。

半導体基板10表面には、LOCOS（素子分離）工程により、ソース及びドレインのパターンが形成され、MOSFETのドレイン又はソースとなる拡散層2がイオン注入の後に、熱拡散工程を経て形成される。

【0037】

そして、半導体基板10の表面には、熱酸化工程又はCVD（化学的気層成長）法による堆積工程によりゲート酸化膜Gが形成される。

次に、ゲート電極材料がゲート酸化膜G表面にCVD法により堆積され、パターニング工程により、MOSFETのゲート電極1のパターン形状にパターニングされる。

【0038】

そして、ゲート電極1表面及びゲート酸化膜G表面に、CVD法により層間絶縁膜I1が堆積される。

この層間絶縁膜I1は、ゲート電極及び拡散層2と、後に形成される配線層M1とが不必要な部分でショートしないように形成される。

そして、例えば、拡散層2と配線層M1とを、所定の部分で接続させるため、拡散層2表面を露出するコンタクトホールCを、パターニング工程により形成する。

【 0 0 3 9 】

次に、配線層M 1 の配線材料をC V D法またはスパッタ等により堆積し、所定の配線パターンを形成する。

このとき、拡散層2と配線層M 1とは、コンタクトホールCの部分において接続される。

すなわち、拡散層2は、層間絶縁膜I 1により配線層M 1と不必要な部分において絶縁され、層間絶縁膜I 1に形成されたコンタクトホールCを介して配線層M 1と接続されている。

【 0 0 4 0 】

そして、配線層M 1表面及び層間絶縁膜I 1表面に、C V D法により層間絶縁膜I 2が堆積される。

この層間絶縁膜I 2は、配線層M 1と、後に形成される配線層M 2とが不必要な部分でショートしないように形成される。

そして、例えば、配線層M 1と配線層M 2とを、所定の部分で接続させるため、配線層M 1表面を露出するビアホール(viahole) Vを、パターニング工程により形成する。

【 0 0 4 1 】

次に、配線層M 2の配線材料をC V D法またはスパッタ等により堆積し、所定の配線パターンを形成する。

このとき、配線層M 2の配線パターンは、M 2横トラックにおいて図1の横方向のみに形成され、M 2縦トラックにおいて図1の縦方向のみに形成される。

ここで、配線層M 1と配線層M 2とは、ビアホールVの部分において接続される。

すなわち、配線層M 1は、不必要な部分において配線層M 2と層間絶縁膜I 2により絶縁され、層間絶縁膜I 2に形成されたビアホールVを介して配線層M 2と接続されている。

【 0 0 4 2 】

そして、配線層M 2表面及び層間絶縁膜I 2表面に、C V D法により層間絶縁膜I 3が堆積される。

この層間絶縁膜 I 3 は、配線層 M 2 と、後に形成される配線層 M 3 とが不必要な部分でショートしないように形成される。

そして、例えば、配線層 M 2 と配線層 M 3 とを、所定の部分で接続させるため、配線層 M 2 表面を露出するビアホール(viahole) V を、パターンニング工程により形成する。

【 0 0 4 3 】

次に、配線層 M 3 の配線材料を C V D 法またはスパッタ等により堆積し、所定の配線パターンを形成する。

このとき、配線層 M 2 と配線層 M 3 とは、他の領域において、図示しないビアホールの部分において接続される。

すなわち、配線層 M 3 は、不必要な部分において配線層 M 2 と層間絶縁膜 I 2 により絶縁され、層間絶縁膜 I 3 に形成されたビアホールを介して配線層 M 2 と接続されている。

【 0 0 4 4 】

このように、拡散層 2 またはゲート電極 1 と配線層 M 2 とを接続する場合、配線層 M 1 を介して接続し、拡散層 2 またはゲート電極 1 と配線層 M 3 とを接続する場合、配線層 M 1 及び配線層 M 2 を介して接続される。

ここで、配線層 M 1 の配線材料は、シート抵抗が高い高融点金属 (T i N / T i , T i N , T i , T i W , W 等) が用いられている。一方、配線層 M 2 及び配線層 M 3 の配線材料は、アルミニウム等が用いられる。

また、上述した製造工程において、配線層 M 1 を形成し、配線層 M 2 を形成するまでの間に、D R A M のメモリセルにおけるキャパシタを形成するため等の、アルミニウム等の融点を超える温度の熱処理工程がある。

【 0 0 4 5 】

以上、本発明の一実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。

例えば、図 4 に示す第 2 の実施形態の配線のパターンを形成することも可能である。

【 0 0 4 6 】

この場合、配線層M2の配線領域を横方向のみの配線を行うM2横トラックと、縦方向の配線のみを行うM2縦トラックとに分割しているところは、一実施形態と同様である。従って、機能ブロックBK内の配線についてと、製造工程（図2における線視断面の構造を含めて）についてとは、一実施形態と同様であるため、これらの説明を省略する。線分A-Aの線視断面図も図2と同様であるが、配線層M3を図4の100領域においては省略してある。

一方、M2横トラックがブロックBKの領域からはみ出ているのが、一実施形態と異なる。

【 0 0 4 7 】

しかしながら、各ブロックを縦方向に並べたとき、全てが領域100に図示しない配線層3の配線が形成できないことが有る場合には、各機能ブロックの間には、配線層3を形成するための領域を設ける必要がある。

この場合には、この領域を有効に利用して、配線層M2の横方向の配線パターンを形成するM2横トラックとして利用することが可能となる。

【 0 0 4 8 】

これにより、第2の実施形態による半導体装置には、一実施形態の効果に加えて、機能ブロック内の各トランジスタなどの素子間の配線を全て配線層M2を利用して行うことが可能となるレイアウト設計を行える効果がある。

これにより、第2の実施形態による半導体装置は、チップサイズを増大させずに半導体装置の動作特性を向上させることが可能となる。

【 0 0 4 9 】

【発明の効果】

上述した様に、本願発明の半導体装置によれば、第2の配線層（配線層M2）を縦方向のみに配線する領域と、横方向にのみ配線する領域とに分けて、機能ブロック内の配線を行っているため、低抵抗の配線として第3番目の配線層を機能ブロック内の内部配線に用いる必要が無くなり、第3番目の配線層（配線層M3）を機能ブロック上のどの領域にも形成することができ、機能ブロックと機能ブロックとの間に設ける配線領域の幅が、従来例に比較して狭くすることが可能と

なる。

【0050】

これにより、本願発明の半導体装置によれば、半導体装置のチップサイズを従来例に比較して縮小することができ、1ウエハにおけるチップ数を増加させるため、半導体装置の生産効率を向上させることが可能となる。

また、本発明の半導体装置によれば、各機能ブロック内の電流量が必要な回路部分の配線を、高抵抗な第1の配線層（配線層M1）を用いずに行っているため、電流量が抵抗値により大きく制限されることがなく、必要な動作特性（動作スピード）を得ることが可能となる。

【0051】

【図面の簡単な説明】

【図1】 本発明の一実施形態による半導体装置の機能ブロックBKの、多層配線として3層配線の構成例を示す半導体装置表面の概念図である。

【図2】 図1における線分A-Aにおける線視断面図である。

【図3】 機能ブロックを横方向に並べて、配線層M2及び配線層M3の隣接する機能ブロックとの関係を示す概念図である。

【図4】 本発明の第2の実施形態による半導体装置の機能ブロックBKの、多層配線として3層配線の構成例を示す半導体装置表面の概念図である。。

【図5】 従来例1による半導体装置の機能ブロックの、多層配線として3層配線の構成例を示す半導体装置表面の概念図である。

【図6】 従来例2による半導体装置の機能ブロックの、多層配線として3層配線の構成例を示す半導体装置表面の概念図である。

【符号の説明】

- 1 ゲート電極
- 2 拡散層
- 10 半導体基板
- BK 機能ブロック
- C コンタクトホール
- I1, I2, I3 層間絶縁膜

M 1 , M 2 , M 3 配線層

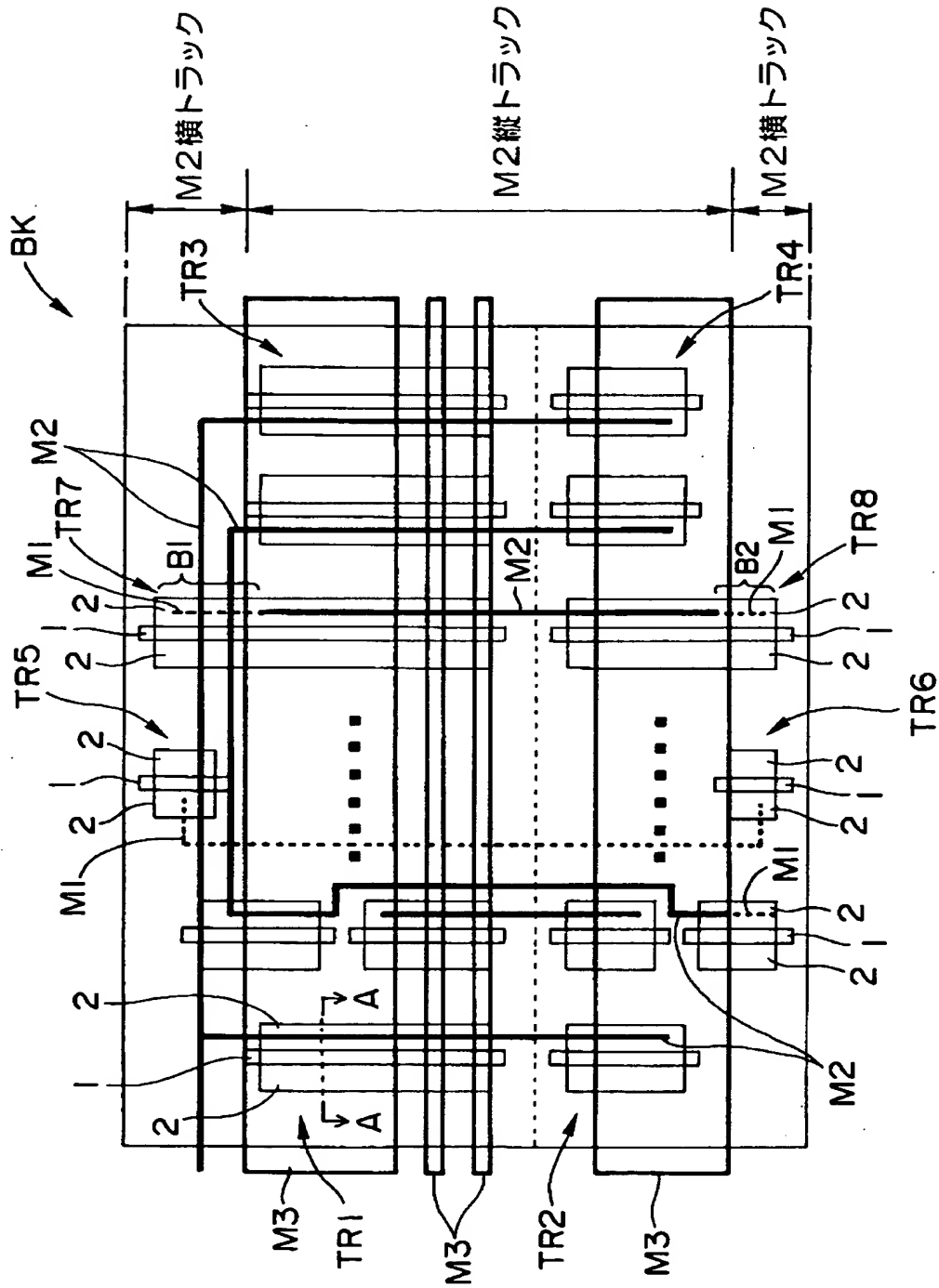
T R 1 , T R 3 , T R 5 , T R 7 (p チャネル型) トランジスタ

T R 2 , T R 4 , T R 6 , T R 8 (n チャネル型) トランジスタ

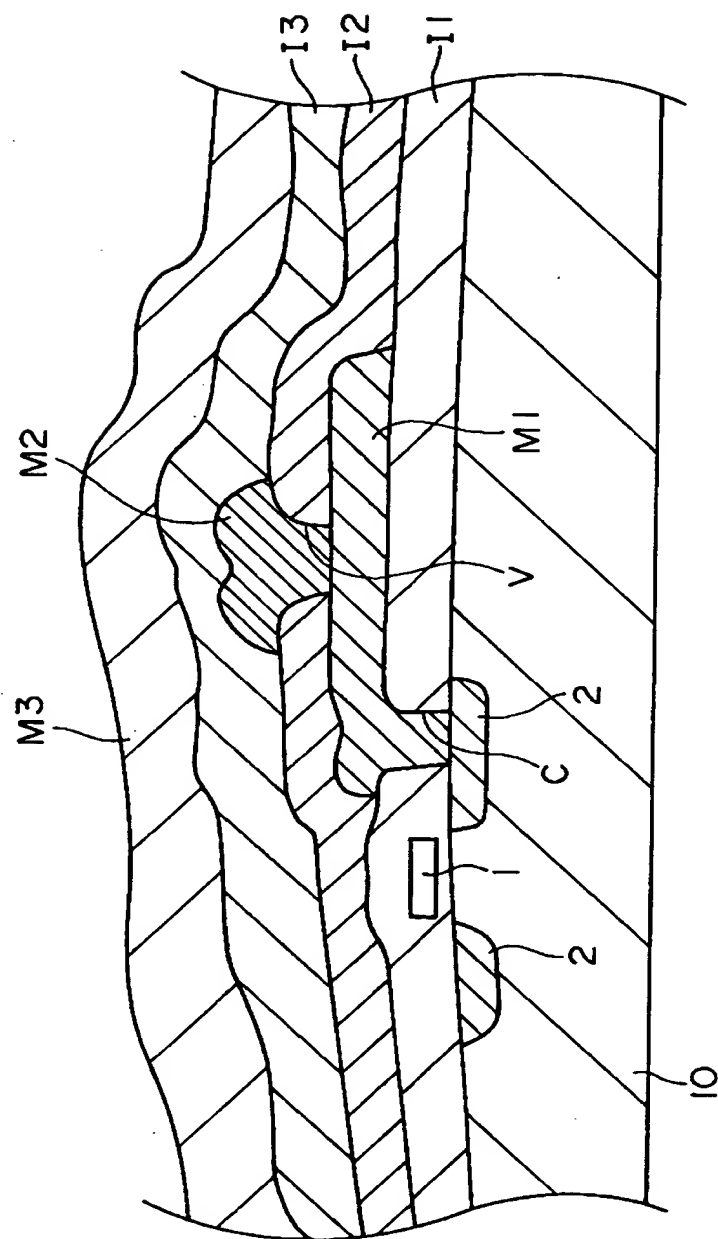
V ピアホール

【書類名】 図面

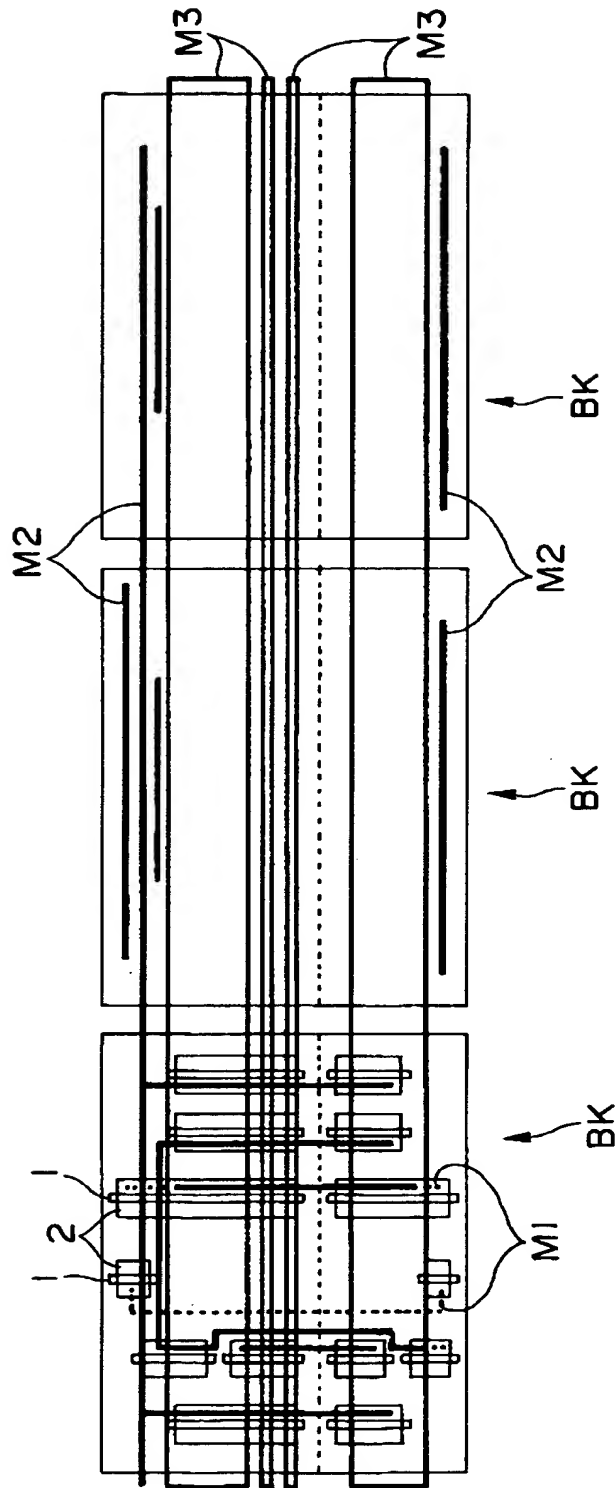
【図1】



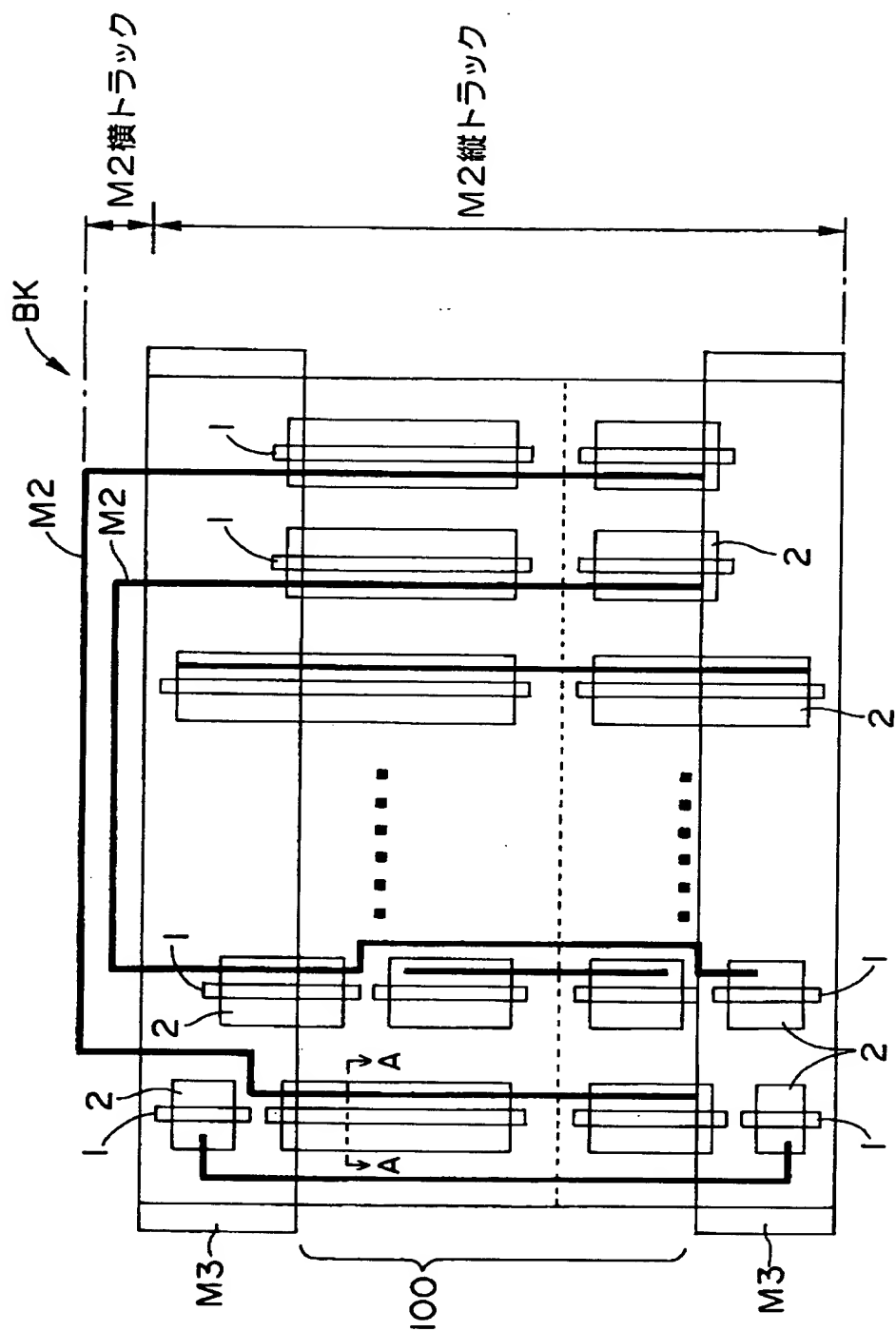
【図 2】



【図 3】

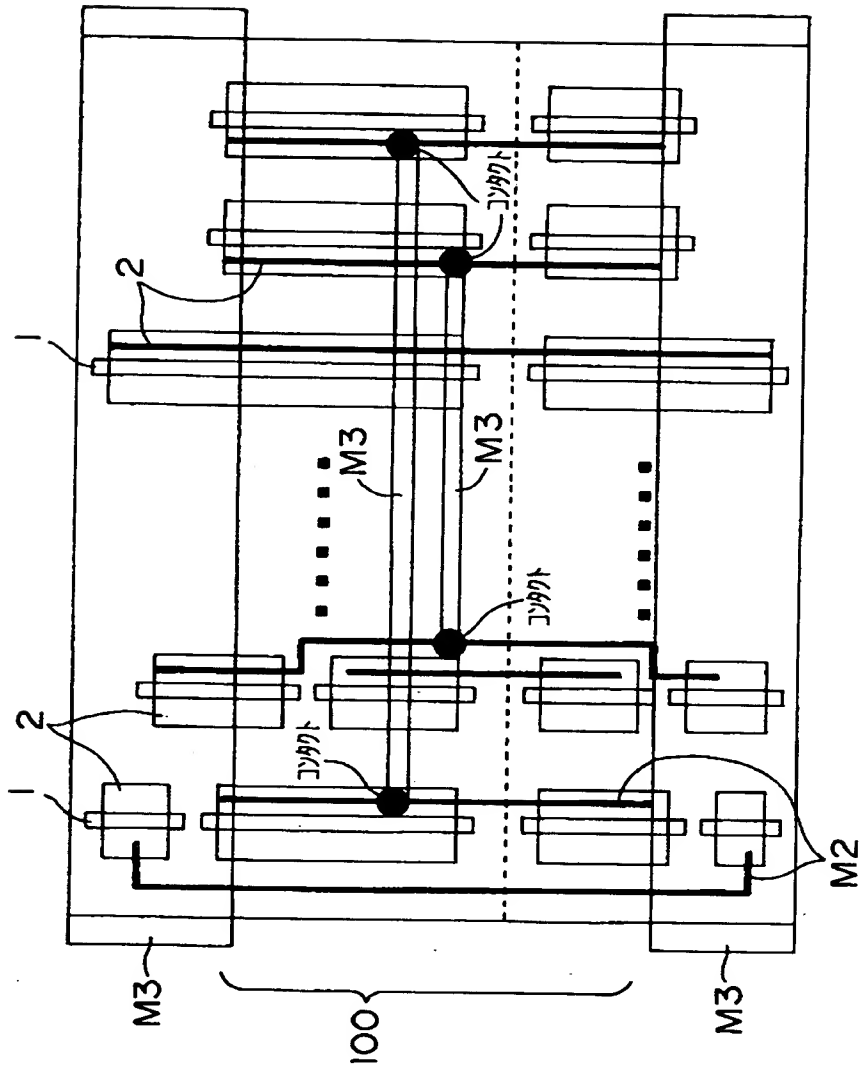


【図 4】



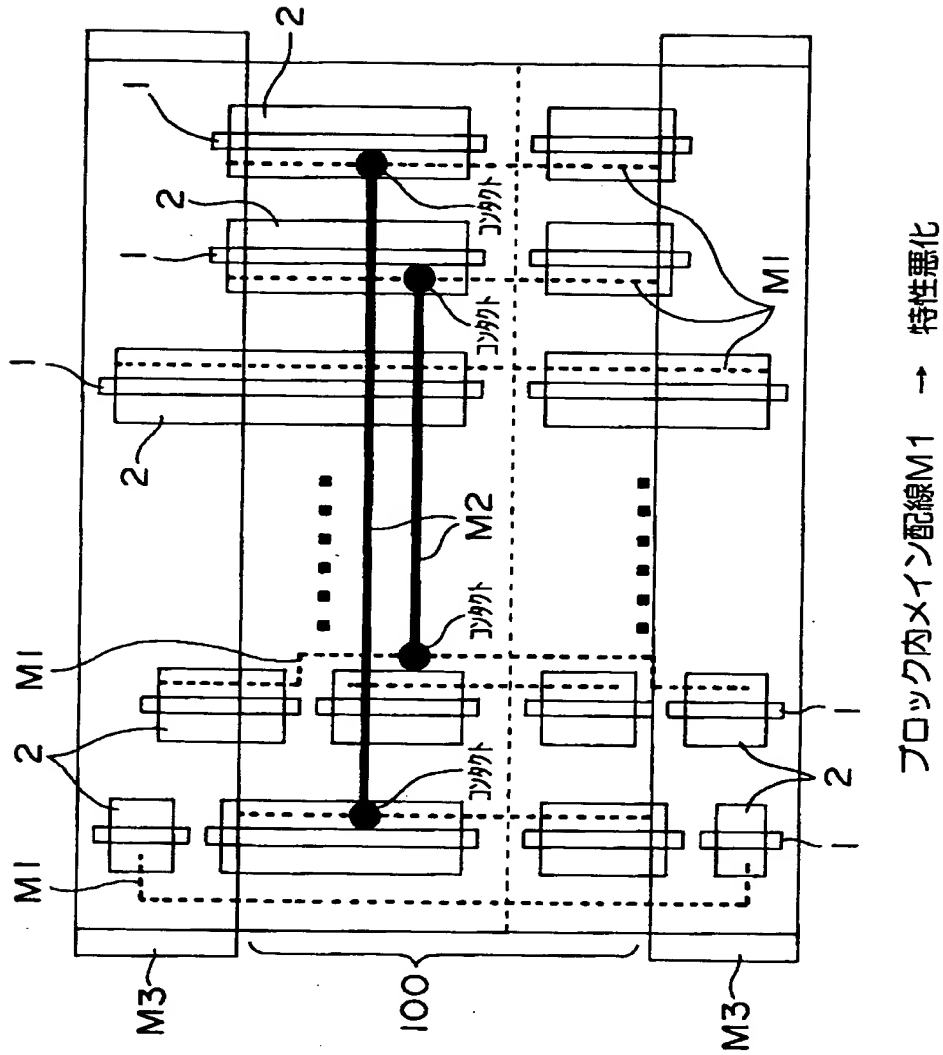
ブロック外M2配線使用 → ブロックサイズ大
M2配線引き回し大

【図5】



ブロック内M3配線使用
→ レイアウト用のM3トラック減

【図6】



【書類名】 要約書

【要約】

【課題】 チップサイズを増大させずに、機能ブロックの動作特性に悪影響を与えず、機能ブロック内配線が可能な半導体装置及びその製造方法を提供する。

【解決手段】 1はMOSFETのゲート電極であり、2はMOSFETのソースまたはドレインを形成する拡散層である。M1は第1の配線層であり、M2は第2の配線層であり、M3は第3の配線層である。ここで、配線層M1の配線材料は、シート抵抗が高い高融点金属（TiN/Ti, TiN, Ti, TiW, W等）が用いられている。一方、配線層M2及び配線層M3の配線材料は、上記高融点金属に対して、シート抵抗が2桁程度低いアルミニウム等が用いられる。そして、配線層M2の配線領域を、縦方向のみに配線するM2縦トラックと、横方向のみに配線するM2横トラックに分割している。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2000-134761
受付番号	50000565180
書類名	特許願
担当官	寺内 文男 7068
作成日	平成12年 5月15日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	高橋 詔男
----------	-------

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	志賀 正武
----------	-------

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	村山 靖彦
----------	-------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社